

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor :Toshihiko FUNAKI  
Filed :Concurrently herewith  
For :NONVOLATILE SEMICONDUCTOR.....  
Serial Number :Concurrently herewith

February 5, 2004

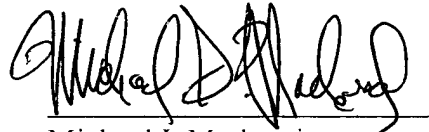
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**PRIORITY CLAIM AND**  
**SUBMISSION OF PRIORITY DOCUMENT**

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2003-031483** filed **February 7, 2003**, a copy of which is enclosed.

Respectfully submitted,

  
Michael I. Markowitz  
Reg. No. 30,659

Customer Number:  
026304  
Docket No.: NECA 20.934





【書類名】 特許願

【整理番号】 75010439

【提出日】 平成15年 2月 7日

【国際特許分類】 G11C 16/02

【発明者】

    【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3    N E C エレクト  
                                ロニクス株式会社内

    【氏名】 船木 寿彦

【特許出願人】

    【識別番号】 302062931

    【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

    【識別番号】 100105511

    【弁理士】

    【氏名又は名称】 鈴木 康夫

【選任した代理人】

    【識別番号】 100109771

    【弁理士】

    【氏名又は名称】 臼田 保伸

【手数料の表示】

    【予納台帳番号】 055457

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0300183

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 不揮発性半導体メモリセルへの書き込みしきい値が、期待値に対応する書き込みレベルを超えるまで、書き込み動作→ベリファイ読み出し動作→比較動作（ベリファイ判定）を 1 サイクルとして繰り返すことにより  $N$  値（ $N \geq 3$ ）の多値データを記憶する書き換え可能な不揮発性半導体メモリに対するデータ書き込み方法において、

期待値としてそのしきい値が最も高い  $N$  番目のレベルが書き込まれるメモリセルに対しては、そのしきい値が  $N - 1$  番目以下のレベルが書き込まれるメモリセルの書き込みが完了するまでは、前記メモリセルのベリファイ判定を強制的に“F A I L”とすることにより無効化し、前記  $N - 1$  番目の書き込みレベルに達した後に、前記  $N$  番目のレベルが書き込まれるメモリセルに対するベリファイ判定を有効化することを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 2】 期待値としてそのしきい値が最も高い  $N$  番目のレベルに対応するセンスアンプに供給されるリファレンス電流値を当該センスアンプが不定センスとならない値以上に設定するとともに、前記  $N$  番目のデータのベリファイ判定を行う際に、前記ベリファイ読み出しのために供給されるワード線電位を、前記  $N - 1$  番目以下のデータのベリファイ判定を行う際に供給する第 1 のワード線電位よりも高い第 2 のワード線電位に切り替えることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 3】 前記  $N$  番目のレベルが書き込まれるメモリセルへの書き込みは、そのしきい値が前記第 1 のワード線電位以上となるように設定されることを特徴とする請求項 2 に記載の不揮発性半導体記憶装置の書き込み方法。

【請求項 4】 前記  $N$  番目のレベルに対するセンスアンプに供給されるベリファイ判定時のリファレンス電流値は、前記多値データが記憶された不揮発性半導体メモリからデータを読み出すときに供給されるリファレンス電流と等しい値に設定されることを特徴とする請求項 2 または 3 に記載の不揮発性半導体記憶装置の書き込み方法。



【請求項5】 前記N番目のデータのベリファイ判定が有効化されているとき、前記N-1番目以下のデータが書き込まれているメモリセルのベリファイ判定を強制的に“PASS”とすることにより前記N-1番目以下のデータが書き込まれているメモリセルへの書き込み動作を停止することを特徴とする請求項2～4のいずれかに記載の不揮発性半導体記憶装置の書き込み方法。

【請求項6】 不揮発性半導体メモリセルが接続されたワード線に対して所定のワード電位を供給するパワーユニットと前記不揮発性半導体メモリセルに対するデータの書き込みを制御するデータ書き込み制御回路と、前記不揮発性半導体メモリセルへの書き込みしきい値が、期待値に対応する書き込みレベルを超えるまで、書き込み動作→ベリファイ読み出し動作→比較動作（ベリファイ判定）を1サイクルとして繰り返すことによりN値（ $N \geq 3$ ）のデータの何れか一つが記憶された不揮発性半導体メモリセルからなるアレイを備えた書き換え可能な不揮発性半導体記憶装置において、

前記パワーユニットは、ベリファイ判定の際に、前記不揮発性半導体メモリセルが接続されているワード線に供給する電位を、所定の第1のワード線電位と、該第1のワード線電位よりも高い所定の第2のワード線電位とに切り替え可能に構成され、

前記データ書き込み制御回路は、前記不揮発性半導体メモリセルに対してユーザにより指定されたN値（ $N \geq 3$ ）の書き込みデータを入力するI/Oバッファと、該I/Oバッファからの書き込みデータを保持するとともに該書き込みデータを期待値データとして出力するデータレジスタと、前記不揮発性半導体メモリセルへのデータ書き込みを行う書き込み回路と、前記不揮発性半導体メモリセルの書き込みレベル状態を読み出すN-1個のセンスアンプと、該センスアンプにより読み出された当該セルの書き込みレベルをデコードするMLCデコーダと、前記データレジスタに保持されている期待値データと前記MLCデコーダでデコードされたデータとを比較してベリファイ判定結果を出力する比較回路と、該比較回路の出力とベリファイ判定を強制的に“FAIL”とする出力のいずれか一方を選択してベリファイ判定結果として出力する選択回路と、該選択回路に対して、期待値としてそのしきい値がN-1番目以下のレベルが書き込まれるメモリ



セルの書き込みが完了するまでは期待値としてそのしきい値が最も高いN番目のレベルが書き込まれるメモリセルのベリファイ判定を強制的に“F A I L”とし、前記N-1番目の書き込みレベルに達した後に前記N番目のレベルが書き込まれるメモリセルに対するベリファイ判定を有効化する制御信号出力するとともに、前記パワーユニットに対して、前記N-1番目以下のレベルを書き込む時にはベリファイ判定用ワード線電位として前記第1のワード線電位に切り替え、前記N番目のレベルを書き込む時にはベリファイ判定用ワード線電位として前記第2のワード線電位に切り替える制御信号を出力する選択信号生成回路とを備えている

ことを特徴とする多値データを記憶する不揮発性半導体記憶装置。

【請求項7】 複数前記不揮発性半導体メモリセルに対して同時にデータ書き込みを行う複数の前記データ書き込み制御回路を備え、前記パワーユニットは、前記複数のデータ書き込み制御回路の各選択信号生成回路から出力される制御信号が入力されるANDゲートの出力により制御されることを特徴とする請求項6に記載の多値データを記憶する不揮発性半導体記憶装置。

【請求項8】 期待値としてそのしきい値が最も高いN番目のレベルに対するセンスアンプに供給されるリファレンス電流値は、当該センスアンプが不定センスとならない値以上に設定されていることを特徴とする請求項6または7に記載の多値データを記憶する不揮発性半導体記憶装置。

【請求項9】 前記N番目のレベルに対するセンスアンプに供給されるリファレンス電流値は、前記多値データが記憶された不揮発性半導体メモリからデータを読み出すときに供給されるリファレンス電流と等しい値に設定されていることを特徴とする請求項8に記載の多値データを記憶する不揮発性半導体記憶装置。

【請求項10】 前記データレジスタは、前記選択回路から当該メモリセルに対する書き込みが完了したことを示す“P A S S”信号を受けたとき、保持していた期待値データをベリファイが強制的にP A S Sとなるデータで書き換える機能を有していることを特徴とする請求項6～9のいずれかに記載の多値データを記憶する不揮発性半導体記憶装置。

【請求項 1 1】 前記N番目のデータのベリファイ判定が有効化されているとき、前記N-1番目以下のデータが書き込まれているメモリセルのベリファイ判定を強制的に“PASS”とする手段を備えていることを特徴とする請求項6～10のいずれかに記載の多値データを記憶する不揮発性半導体記憶装置。

【請求項 1 2】 不揮発性半導体メモリセルへの書き込みしきい値が、期待値に対応する書き込みレベルを超えるまで、書き込み動作→ベリファイ読み出し動作→比較動作（ベリファイ判定）を1サイクルとして繰り返すことによりN値（ $N \geq 3$ ）の多値データを記憶する書き換え可能な不揮発性半導体メモリに対するデータ書き込み方法において、

期待値としてそのしきい値が最も高いN番目のレベルに対応するセンスアンプに供給されるリファレンス電流値を当該センスアンプが不定センスとならない値以上に設定するとともに、前記N番目のデータのベリファイ判定を行う際に、前記ベリファイ読み出しのために供給されるワード線電位を、前記N-1番目以下のデータのベリファイ判定を行う際に供給する第1のワード線電位よりも高い第2のワード線電位に切り替えることを特徴とする不揮発性半導体記憶装置の書き込み方法。

【請求項 1 3】 不揮発性半導体メモリセルが接続されたワード線に対して所定のワード電位を供給するパワーユニットと前記不揮発性半導体メモリセルに対するデータの書き込みを制御するデータ書き込み制御回路と、前記不揮発性半導体メモリセルへの書き込みしきい値が、期待値に対応する書き込みレベルを超えるまで、書き込み動作→ベリファイ読み出し動作→比較動作（ベリファイ判定）を1サイクルとして繰り返すことによりN値（ $N \geq 3$ ）のデータの何れかが記憶された不揮発性半導体メモリセルからなるアレイを備えた書き換え可能な不揮発性半導体記憶装置において、

前記パワーユニットは、ベリファイ判定の際に、前記不揮発性半導体メモリセルが接続されているワード線に供給する電位を、所定の第1のワード線電位と、該第1のワード線電位よりも高い所定の第2のワード線電位とに切り換え可能に構成され、

前記データ書き込み制御回路は、前記不揮発性半導体メモリセルに対してユー

ザにより指定されたN値 ( $N \geq 3$ ) の書き込みデータを入力する I/Oバッファと、該 I/Oバッファからの書き込みデータを保持するとともに該書き込みデータを期待値データとして出力するデータレジスタと、前記不揮発性半導体メモリセルへのデータ書き込みを行う書き込み回路と、前記不揮発性半導体メモリセルの書き込みレベル状態を読み出す  $N-1$  個のセンスアンプと、該センスアンプにより読み出された当該セルの書き込みレベルをデコードするMLCデコーダと、前記データレジスタに保持されている期待値データと前記MLCデコーダでデコードされたデータとを比較してベリファイ判定結果を出力する比較回路と、前記パワーユニットに対して、前記  $N-1$  番目以下のレベルを書き込む時にはベリファイ判定用ワード線電位として前記第1のワード線電位に切り替え、前記N番目のレベルを書き込む時にはベリファイ判定用ワード線電位として前記第2のワード線電位に切り替える制御信号を出力する選択信号生成回路とを備えていることを特徴とする多値データを記憶する不揮発性半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、EPROMやEEPROM等の書き換え可能な不揮発性半導体記憶装置に関し、特に1つのメモリセルに1ビットより多い情報を記憶させる多値記憶セルへの情報書き込み技術に関する。

##### 【0002】

#### 【従来の技術】

EPROMやEEPROM等の書き換え可能な不揮発性半導体メモリの集積度を向上させるために、1つのメモリセル(NORセル型EEPROM)に3値以上のデータ(例えば“00” “01” “10” “11”の4値のデータ)を記憶可能にする多値データ記憶不揮発性半導体メモリ装置が特許文献1あるいは特許文献2等に記載されている。

##### 【0003】

一般に、N値 ( $N \geq 3$ ) の判定を一括で行う読み出し方式を採用した多値の不揮発性半導体メモリに対するデータ書き込みにおいては、自動書き込み動作時に



、メモリセルに対して、まず、一定時間（数百 n s e c 程度）だけ書き込み動作（フローティングゲートへの電子注入）を行い、次に、検証のための読み出し動作（ベリファイ読み出し動作）を行う。

#### 【0004】

続いて、書き込むべきデータ値（期待値）とベリファイ読み出し動作により読み出されたデータ値とを比較することにより、書き込まれたメモリセルのしきい値が、期待値に対応する書き込みレベルを超えたかどうかの判定を行い、メモリセルのしきい値が、期待値に対応する書き込みレベルを超えていない（ベリファイ判定が“F A I L”した）メモリセルに対しては、再度一定時間だけ書き込み動作をおこなう。

#### 【0005】

このように、書き込まれたメモリセルのしきい値が、期待値に対応する書き込みレベルを超えるまで、書き込み動作→ベリファイ読み出し動作→比較動作を1サイクルとして繰り返し、メモリセルのしきい値が書き込みレベルを超えた（ベリファイ判定を“P A S S”した）メモリセルから順に書き込み動作の対象から外していく。そして、全てのメモリセルがその期待値に対応する書き込みレベルを超えた時点で、不揮発性半導体記憶装置への書き込みを完了する。

#### 【0006】

図6は、書き換え可能な不揮発性半導体メモリセルに対して4値（2ビット）データのいずれかを書き込む動作を行っているときに、不揮発性半導体メモリセルの $I_D-V_G$ 特性が変化する様子を概略的に示しており、例えば、実線で示すデータ消去時の $I_D-V_G$ 特性の状態から、メモリセルに対する書き込み動作を開始すると、書き込み（フローティングゲートへの電子注入）回数が増える毎に $I_D-V_G$ 特性は点線で示すようにそのしきい値が高くなる方向にそのエンハンスメントの状態が変化する。

#### 【0007】

そこで、不揮発性半導体メモリセルに対して、1回書き込む毎にそのゲート電圧を読み出し動作時のワード電位 $V_{w1}$ に切り替えて各メモリセルの書き込みレベル $L_V$ を読み出し、読み出しレベルの値が当該メモリセルの期待値に対応する

書き込みレベルと一致した時点（読み出し電流値が○印で示す期待値に対応する書き込みレベルを越えた時点）で、当該セルに対する書き込み動作を停止することにより所望のデータの書き込みを行うことができる。

#### 【0008】

従って、1つのワード線に接続されている複数の不揮発性半導体メモリセルに記憶される4値（“11” “10” “01” “00”）の期待値を $LV_1$ 、 $LV_2$ 、 $LV_3$ 、 $LV_4$ とすると、ワード線単位で書き込み動作を行った場合、データ“11”を記憶するセルへの書き込みが最初に完了して書き込み動作の対象から外れ、データ“00”を記憶するセルへの書き込みが終了した時点で、当該ワード線に接続されているセルに対する書き込みが完了する。なお、通常、データ消去動作時には、全てのセルがデータ“11”の状態となるように消去されるので、データ書き込み時にはデータ“11”を記憶するセルへの書き込みは省略される。

#### 【0009】

図7は、多値の不揮発性半導体メモリに対する従来のデータ書き込み回路構成の概略を示すブロック図である。図7において、不揮発性半導体メモリはセルアレイとして構成され、各セルのアドレスはX-デコーダ21およびY-デコーダ19により指定される。また、点線で囲まれたデータ書き込み制御回路100は、同時に書き込みあるいは読み出しを行うメモリセルの数だけ設けられる。同時に書き込みあるいは読み出しを行うメモリセル15は、X-デコーダ21およびY-デコーダ19により指定される。該指定された各メモリセル15に対してY-デコーダ19を介して接続された各データ書き込み制御回路100によりデータの書き込みあるいはデータ読み出しが実行される。

#### 【0010】

各データ書き込み制御回路100は、X-デコーダ21およびY-デコーダ19により当該データ書き込み制御回路100と接続された不揮発性半導体メモリセル15に対してユーザが指定した書き込みデータを入力するとともに読み出し動作時に当該不揮発性半導体メモリセル15から読み出された記憶データを外部へ出力するI/Oバッファ11と、I/Oバッファ11からの書き込みデータを

保持するとともに該書き込みデータを期待値データとして出力するデータレジスタ12と、期待値データに従って不揮発性半導体メモリセル15への書き込みを行う書き込み回路13と、不揮発性半導体メモリセル15の書き込みレベル状態を読み出すセンスアンプ14と、センスアンプ14により読み出された当該セルの書き込みレベルをデコードするMLCデコーダ16と、データレジスタ12に保持されている期待値データとMLCデコーダ16でデコードされたデータとを比較してベリファイ判定結果を出力する比較回路17とを備えている。

#### 【0011】

アドレスバッファ50は、データの書き込みあるいは読み出しを行うメモリセルのアドレス情報をXデコーダ21およびYデコーダ19へ出力する。パワーユニット20は、不揮発性半導体メモリセル15に対するデータの書き込み動作、読み出し動作、あるいは消去動作を行うために、不揮発性半導体メモリセル15が接続されているワード線およびソース線に対して、それぞれの動作に対応して所定のワード電位およびソース電位を供給する。

#### 【0012】

リファレンス電流生成部40は、センスアンプ14に対して、データ書き込み時のベリファイ判定用のリファレンス電流、および多値データが書き込まれたメモリからのデータを読み出し時のリファレンス電流を、それぞれの読み出し動作に応じて切り替えて出力する。

#### 【0013】

センスアンプ14が各ビット線と対応して設けられている場合には、行（ワード線）単位で書き込みを行うことができる。その場合、1つのワード線に接続されているメモリセルの数と等しいデータ書き込み制御回路100が配置され、チップサイズが大きくなる。従って、センスアンプ14は通常、この不揮発性半導体メモリからのデータ読み出し時に並列に読み出すメモリセルの数だけ設けられており、同時に書き込みを行えるメモリセルの数、即ちデータ書き込み制御回路100の数もこのセンスアンプの数と等しく設定される。書き込みが行われるメモリセル15は、Yデコーダ19とXデコーダ21で指定される。

#### 【0014】

図 8 は、図 7 に示す書き込み回路構成を、4 値（2 ビット）のデータを記憶可能なメモリセル 15 を有する不揮発性半導体メモリに適用した従来の書き込み回路構成を示すブロック図である。

#### 【0015】

図 8 において、データ書き込みの際のベリファイ判定時には、センスアンプ 142 ~ 144 はそれぞれ、不揮発性半導体メモリセル 15 の書き込みレベル状態が期待値  $LV_2$ 、 $LV_3$ 、 $LV_4$  を超えたとき（各リファレンス電流値  $IR_2$ 、 $IR_3$ 、 $IR_4$  以下となったとき）に、“H” から “L”（あるいは “L” から “H”）に変化する信号を出力する。なお、図示されていないが、データ消去回路には期待値  $LV_1$  を検出するセンスアンプが設けられ、データ消去動作時において全てのセルが期待値  $LV_1$ （データ “11”）の状態となるようにその消去動作が制御される。

#### 【0016】

比較回路 17 は、データレジスタ 12 に保持されている期待値データの書き込みレベルが MLC デコーダ 16 から出力される読み出しデータの書き込みレベルより高いレベルの場合は “FAIL”、データレジスタ 12 に保持されている期待値データの書き込みレベルが MLC デコーダ 16 から出力される読み出しデータの書き込みレベル以下の場合は “PASS” と判定する。

#### 【0017】

図 9 は、図 8 に示すデータ書き込み制御回路 100 により、4 値の何れかが書き込まれた不揮発性半導体メモリセル 15 の  $I_D - V_G$  特性の分布状態を示している。以下、図 8 ~ 図 9 を参照して従来のデータ書き込み動作について説明する。

#### 【0018】

書き込み動作に先立って、不図示の消去回路により不揮発性半導体メモリセル 15 に記憶されている以前のデータの消去動作を実行することにより、不揮発性半導体記憶装置内の全てのメモリセル 15 は、期待値  $LV_1$  の状態（記憶データ “11”）に設定される。書き込み動作が開始されると、メモリセル毎の書き込みデータが各 I/O バッファ 11 からデータレジスタ 12 に入力される。データ

レジスタ 12 はこの書き込みデータを期待値データとして保持し、書き込み回路 13 に出力する。

#### 【0019】

書き込み回路 13 は、データレジスタ 12 から入力された期待値データが “11” のときは、既に書き込み完了状態となっているので、当該メモリセル 15 の書き込み回路は書き込み動作を行わない。一方、データレジスタ 12 から入力された期待値データが “10”、“01”、または “00” のうちの何れかである場合には、当該メモリセルに対して一定時間（数百 nsec 程度）書き込み動作を実行して、当該不揮発性半導体メモリセル 15 のフローティングゲートに電子を注入する。

#### 【0020】

次に、検証のためのメモリセル 15 の読み出し動作（ベリファイ読み出し動作）を行う。メモリセル 15 から読み出された電流がリファレンス電流  $I_{R2}$  以上の場合には、センスアンプ 142～144 の出力は全て “H” となり、MLC デコーダ 16 から読み出しデータ “11” が出力される。その結果、期待値データが “11” のメモリセル 15 の比較回路 17 からはベリファイ判定結果として “PASS” が出力されるが、データレジスタ 12 から期待値データとして “10”、“01”、または “00” の何れかが出力されているメモリセル 15 の比較回路 17 からはベリファイ判定結果として “FAIL” が出力され、当該メモリセル 15 に対する書き込みサイクルは再度実行される。

#### 【0021】

この書き込みサイクルが繰り返されているメモリセル 15 のしきい値が高くなって、当該メモリセル 15 から読み出された電流がリファレンス電流  $I_{R2}$  以下となった時点で、センスアンプ 142 の出力が “L” となるので、センスアンプ 142～144 の出力は “L, H, H” となり、MLC デコーダ 16 からは読み出しデータ “10” が出力される。その結果、データレジスタ 12 に保持されている期待値データが “11” または “10” であるメモリセル 15 と接続されている比較回路 17 におけるベリファイ判定結果は “PASS” となる。

#### 【0022】

この“F A I L”情報および“P A S S”情報はデータレジスタ 12にも通知される。データレジスタ 12は比較回路 17から“P A S S”情報が入力されると、それまで保持していた期待値データを“11”に変更する。従って、期待値データが“10”のメモリセル 15の書き込み回路 13には期待値データ“11”が入力されて書き込み完了の状態となり、それ以降の書き込み動作は行われない。

#### 【0023】

一方、データレジスタ 12から期待値データとして、“01”、または“00”が出力されているメモリセルの書き込み回路では、比較回路 17におけるベリファイ判定結果は“F A I L”となるので、当該メモリセル 15に対する書き込みサイクルは再度実行される。以下、同様の書き込みサイクルを繰り返すことにより、期待値データ“01”のメモリセル、期待値データ“00”のメモリセルの順にデータ書き込みが完了する。

#### 【0024】

図 9 に示すように、データ書き込み制御回路 100により 4 値の何れかが書き込まれた不揮発性半導体メモリセルの  $I_D-V_G$  特性は、ベリファイ判定点（○印）から離れるに従ってセル毎の  $I_D-V_G$  特性のバラツキが大きくなる分布状態を示している。データ読み出し動作時にこのバラツキによる読み出しマージンの減少を防ぐために、通常、ベリファイ判定動作時のワード電位  $V_w$  とメモリとしてデータを読み出す際のワード電位  $V_w$  は同じ値（ $V_{w1}$ ）に設定され、多値データが記憶されたメモリからのデータ読み出し判定点（△印）はベリファイ判定点（○印）の中間に位置するように設定される。

#### 【0025】

また、期待値  $L V_1$ 、 $L V_2$ 、 $L V_3$ 、 $L V_4$  の値および、読み出しワード電位  $V_{w1}$  の値は、データを書き込まれた全てのメモリセル 15 が常にエンハンスメントである条件、および、メモリセルのディスタ urb 特性を考慮して設定される。

#### 【0026】

即ち、メモリセル 15 に対する書き込み状態としてデプレッション状態を含む

と、同一ビット線上のアクセスされていないメモリセルからも電流が流れる場合があり、アクセスしたメモリセルから電流値（データ値）を正確に読み出せなくなる。そこで、メモリセル 15 に対する書き込みは、常にエンハンスメント状態となる書き込みレベルが設定され、同一ビット線上のアクセスされていないメモリセルからの出力電流は常に零となるようにしている。

#### 【0027】

また、メモリからのデータ読み出し時に制御ゲートには正のワード電位  $V_w$  が印加されるが、この読み出しワード電位  $V_w$  により、データ書き込み時にフローティングゲートに注入された電子が、僅かではあるが制御ゲートに引き抜かれ、データ読み出し回数が増えるにつれて記憶内容が消失していく現象（ディスタープ特性）があるので、読み出し時のワード電位  $V_{w1}$  をあまり大きくすることは好ましくない。

#### 【0028】

図 9 に示す不揮発性半導体メモリセルの  $I_D - V_G$  特性の分布状態から明らかに、期待値  $L V_1$  が大きい程、 $L V_1$  が書き込まれたメモリセル 15 のしきい値のバラツキが大きくなり、当該メモリセル 15 がデプレッション状態になり易くなる。また、読み出し時ワード電位  $V_{w1}$  を大きくしすぎると、読み出し動作に伴うディスタープの影響が大きくなる。

#### 【0029】

そのため、読み出しワード電位  $V_{w1}$  および、期待値  $L V_1$  のリファレンス電流  $I_{R1}$  は、このメモリセル 15 のディスタープ特性および、メモリセルが常にエンハンスメントである条件から、 $V_{w1}$  および、期待値  $L V_1$  のリファレンス電流  $I_{R1}$  が決まり、メモリセルのデータ消去動作時に全てのメモリセル 15 が期待値  $L V_1$  の状態に設定される。それ以下のレベルは、読み出しマージンが最も効率よく確保されるように各レベルに振り分けられる。

#### 【0030】

一般的には、ディスタープを考慮したメモリセル 15 のワード電位  $V_w$  に使用する電圧帯、メモリセル 15 の最大電流、メモリセル 15 がデプレッションにならないことの条件から読み出し時のワード電位  $V_{w1}$  が決まり、その電圧に対応

する電流を  $N-1$  分割することで、読み出し時のマージンを確保することになる。

#### 【0031】

##### 【特許文献1】

特開平4-57294号公報

##### 【特許文献2】

特開平10-302482号公報

#### 【0032】

##### 【発明が解決しようとする課題】

図9に示される4値の何れかが書き込まれた不揮発性半導体メモリセルにおける読み出しマージンは、最もしきい値の低い（データ消去状態の）メモリセルである期待値  $LV_1$  のリファレンス電流  $I_{R1}$  と、最もしきい値の高い書き込みが行われるメモリセルである期待値  $LV_4$  のリファレンス電流  $I_{R4}$  との差が大きい程そのマージンを大きくすることができる。そのため、期待値  $LV_1$  のリファレンス電流  $I_{R1}$  はなるべく大きくし、期待値  $LV_4$  のリファレンス電流  $I_{R4}$  はなるべく小さくすることが好ましい。

#### 【0033】

期待値  $LV_1$  のリファレンス電流  $I_{R1}$  を大きくするためには読み出しワード電位  $V_{w1}$  を大きくする必要があるが、ワード電位  $V_{w1}$  は前記のメモリセルのディスタート特性、およびメモリセルが常にエンハンスメントである（デプレッションにならない）条件からの制約により決められ、任意に大きくすることはできない。

#### 【0034】

そこで従来、期待値  $LV_4$  のリファレンス電流値  $I_{R4}$  をなるべく小さく設定することにより、期待値  $LV_1$  のリファレンス電流  $I_{R1}$  と期待値  $LV_4$  のリファレンス電流  $I_{R4}$  の差を大きくし、読み出しマージンが最も効率よく確保されるように各書き込みレベル（期待値  $LV_1$ ,  $LV_2$ ,  $LV_3$ ,  $LV_4$ ）が振り分けられる。

#### 【0035】



一方、期待値  $LV_4$  のリファレンス電流値  $IR_4$  を小さくすると、このリファレンス電流値  $IR_4$  が入力されるセンスアンプ 144 の感度が低下する。従って、期待値  $LV_4$  のリファレンス電流値  $IR_4$  を小さくしすぎるとベリファイ動作時に不定センスになる可能性があり、そのため、期待値  $LV_4$  のリファレンス電流値  $IR_4$  は、センスアンプ 144 の感度により制約を受けるという問題がある。

#### 【0036】

本発明の目的は、上記問題点に鑑み、データ読み出し時のマージンを最大に確保することを可能にするとともに、データ書き込みの際のベリファイ動作時に不定センスが発生しないようにする手段を提供することにある。

#### 【0037】

##### 【課題を解決するための手段】

本発明の不揮発性半導体記憶装置の書き込み方法は、書き込まれたメモリセルのしきい値が、期待値に対応する書き込みレベルを超えるまで、書き込み動作→ベリファイ読み出し動作→比較動作（ベリファイ判定）を1サイクルとして繰り返すことによりN値（ $N \geq 3$ ）の多値データを記憶する書き換え可能な不揮発性半導体メモリに対するデータ書き込みに際して、期待値としてそのしきい値が最も高いN番目のレベルが書き込まれるメモリセルに対しては、N-1番目以下のレベルが書き込まれるメモリセルの書き込みが完了するまでは、前記メモリセルのベリファイ判定を強制的に“F A I L”とすることにより無効化し、前記N-1番目の書き込みレベルに達した後に、前記N番目のレベルが書き込まれるメモリセルに対するベリファイ判定を有効化することを特徴とする。

#### 【0038】

またその際、期待値としてそのしきい値が最も高いN番目のレベルに対応するセンスアンプに供給されるリファレンス電流値を当該センスアンプが不定センスとならない値以上に設定するとともに、前記N番目のデータのベリファイ判定を行う際に、前記ベリファイ読み出しのために供給されるワード線電位（以下、第2のワード線電位）を、前記N-1番目以下のデータのベリファイ判定を行う際のワード線電位（以下、第1のワード線電位）よりも高い値に切り替えることを

特徴とする。

#### 【0039】

また、前記N番目のレベルが書き込まれるメモリセルへの書き込みは、そのしきい値が前記第1のワード線電位以上となるように設定することができる。

#### 【0040】

また、前記N番目のレベルに対するセンスアンプに供給されるリファレンス電流値は、好ましくは前記多値データが記憶された不揮発性半導体メモリからデータを読み出すときに供給されるリファレンス電流と等しい値に設定される。

#### 【0041】

また、前記N番目のデータのベリファイ判定が有効化されているとき、前記N-1番目以下のデータが書き込まれているメモリセルのベリファイ判定を強制的に“PASS”とすることにより前記N-1番目以下のデータが書き込まれているメモリセルへの書き込み動作は停止される。

#### 【0042】

#### 【発明の実施の形態】

図1は、本発明の多値(N値； $N \geq 3$ )不揮発性半導体メモリに対する書き込み回路構成の実施形態を示すブロック図である。本実施形態において、点線で囲まれたデータ書き込み制御回路10は、図6あるいは図7の場合と同様に、同時に書き込みを行うメモリセルの数だけ設けられる。

#### 【0043】

各データ書き込み制御回路10は、書き込みを行う不揮発性半導体メモリセル15に対してユーザが指定した書き込みデータを入力するとともに読み出し動作時に当該メモリセルから読み出された記憶データを出力するI/Oバッファ11と、I/Oバッファ11からの書き込みデータを保持するとともに該書き込みデータを期待値データとして出力するデータレジスタ12と、不揮発性半導体メモリセル15へのデータ書き込みを行う書き込み回路13と、不揮発性半導体メモリセル15の書き込みレベル状態を読み出すセンスアンプ142～14Nと、センスアンプ142～14Nにより読み出された当該セル15の書き込みレベルをデコードするMLCデコーダ16と、データレジスタ12に保持されている期待

値データとMLCデコーダ16でデコードされたデータとを比較してベリファイ判定結果を出力する比較回路(CMP)17と、比較回路17の出力とベリファイ“FAIL”または“PASS”を示す値のいずれかを選択してベリファイ判定結果として出力する選択回路(MUX)18を備えている。

#### 【0044】

データレジスタ12は、一度でもベリファイ判定が“PASS”したメモリセルに対しては、最もしきい値の低いレベルに対応する期待値 $LV_1$ を出力する。この機能により、ベリファイ時のワード電位が $V_{w2}$ (第2のワード線電位)となった場合には、既書き込みが終了した $LV_N - 1$ 以下のセルに対するベリファイ判定は強制的に“PASS”となる。

#### 【0045】

不揮発性半導体メモリセル15の書き込みレベル状態を読み出すセンスアンプ142～14Nには、それぞれ書き込みレベル状態 $LV_2 \sim LV_N$ を検出するためのベリファイ用のリファレンス電流 $I_{R2} \sim I_{RN}$ が比較電流値として入力されるが、本実施形態においては、期待値としてそのしきい値が最も高いN番目のデータが書き込まれるメモリセルに対するセンスアンプ14Nに入力されるリファレンス電流 $I_{RN}$ の値は、従来のベリファイ用リファレンス電流 $I_{RN}$ の値よりも大きな値(例えば、多値データが記憶された不揮発性半導体メモリからデータを読み出す際に設定されるリファレンス電流と等しい値)に設定される。

#### 【0046】

パワーユニット20は、不揮発性半導体メモリセル15に対するデータの書き込み動作、読み出し動作、あるいは消去動作を行うために、X-デコーダ21で選択された不揮発性半導体メモリセル15が接続されているワード線に対して、それぞれの動作に対応して所定のワード電位を供給する。また本実施形態においては、パワーユニット20から供給されるベリファイ読み出し電位( $V_w$ )は、データを読み出し動作時のワード電位と同じ値(第1のワード線電位 $V_{w1}$ )、またはこの $V_{w1}$ よりも大きいベリファイ読み出し電位(第2のワード線電位 $V_{w2}$ )に、選択信号生成回路(CTL)30及びANDゲート23によって切り替え制御される。

## 【0047】

選択信号生成回路 (CTL) 30 は、ベリファイ判定時のメモリセルに供給するワード電位切り替え信号を、ANDゲート 23 を介してパワーユニット 20 へ出力する。具体的には、選択信号生成回路 (CTL) 30 は、当該セル 15 に書き込まれる期待値データ及び当該セル 15 からの読み出しデータをモニタし、期待値データが  $LV_2$  以上  $LV_{N-1}$  以下の場合、または、期待値データが  $LV_N$  のメモリセルの場合にはそのセルの読み出しデータが  $LV_{N-1}$  に達するまでの間、ベリファイ時のメモリセルに対するワード電位として第 1 のワード電位  $V_{w1}$  を選択する制御信号 “L” を出力する。

## 【0048】

一方、当該セル 15 の期待値データとして  $LV_1$  が出力されている場合、または、書き込み期待値データが  $LV_N$  のメモリセルからの読み出しデータが  $LV_{N-1}$  に達した後は、ベリファイ時のメモリセルに対するワード電位として第 2 のワード電位  $V_{w2}$  を選択する制御信号 “H” を出力する。ANDゲート 23 は、同時に書き込みが行われる各メモリセル 15 の選択信号生成回路 (CTL) 30 からの制御信号が全てワード電位  $V_{w2}$  を選択する制御信号 “H” となったとき、ワード電位を  $V_{w1}$  から  $V_{w2}$  に切り替える信号をパワーユニット 20 へ出力する。

## 【0049】

また、選択信号生成回路 (CTL) 30 は、ベリファイ判定結果として比較回路 17 の比較結果を出力するか、または強制的にベリファイ “FAIL” (あるいは、“FAIL” または “PASS”) を示す値を出力するかを選択する制御信号を選択回路 (MUX) 18 へ出力する。

## 【0050】

比較回路 17 は、期待値データの書き込みレベルが読み出しデータの書き込みレベルより高いレベルの場合は “FAIL”、期待値データの書き込みレベルが読み出しデータの書き込みレベル以下の場合は “PASS” と判定し、判定結果を選択回路 18 へ出力する。

## 【0051】

選択回路 18 は、選択信号生成回路 (CTL) 30 からの制御信号により、ワード電位選択信号が第 1 のワード電位  $V_{w1}$  を示す間は、 $LV_N$  のメモリセルに対するベリファイ判定を強制的に “FAIL” とし (FAIL 信号を選択)、ワード電位選択信号が第 2 のワード電位  $V_{w2}$  を示した後は、 $LV_N$  のメモリセルに対するベリファイ判定 (強制 FAIL) を解除してメモリセルの読み出しデータが  $PV'_N$  を超えたかどうかで PASS/FAIL 判定を行う (CMP 17 の出力を選択)。

#### 【0052】

図 2 は、本実施形態における比較回路 (CMP) 17 及び選択信号生成回路 (CTL) 30 の動作状態を表している。また、図 3 は、本実施形態の自動書き込みシーケンスを示すフローチャート、図 4 は、本実施形態のデータ書き込み制御回路 10 により、不揮発性半導体メモリセル 15 に対して 4 値の何れかを書き込む場合のワード電位及びリファレンス電流値の切り替え例、図 5 は、本実施形態における多値のしきい値分布と書き込み判定レベルをそれぞれ示している。

#### 【0053】

図 3 及び図 5 に示されているように、本実施形態においては、期待値としてそのしきい値が最も高い N 番目のレベルが書き込まれるメモリセルに対するベリファイ判定を、前記しきい値が  $N-1$  番目以下のレベルが書き込まれるメモリセルに対するベリファイ判定と切り離して実行する。以下、本実施形態の動作について図 1～図 5 を参照して説明する。

#### 【0054】

書き込み動作に先立って、不揮発性半導体記憶装置内の全てのメモリセル 15 に記憶されている以前のデータの消去動作が実行され、不揮発性半導体記憶装置内の全てのメモリセル 15 は、期待値  $LV_1$  の状態 (4 値の場合期待値 “11”) に設定される。書き込み動作が開始されると、メモリセル毎の書き込みデータが各 I/O バッファ 11 からデータレジスタ 12 に入力される。データレジスタ 12 はこの書き込みデータを期待値データとして保持し、書き込み回路 13 へ出力する。

#### 【0055】

書き込み回路 13 は、データレジスタ 12 から入力された期待値データが  $LV_1$  のときは、既に書き込み完了の状態であるので、当該メモリセルの書き込み回路は書き込み動作を行わない。一方、データレジスタ 12 から入力された期待値データが  $LV_2 \sim LV_N$  の何れかのときには、当該メモリセル 15 に対して一定時間（数百  $ns$  程度）書き込み動作を実行し、当該不揮発性半導体メモリセル 15 のフローティングゲートに電子を注入する。

#### 【0056】

次に、検証のためのメモリセル 15 の読み出し動作（ベリファイ読み出し動作）を行う。その際、 $LV_2$  以上の期待値データが出力されているメモリセルと接続されている選択信号生成回路（CTL）30 からは、ベリファイ時のメモリセルに対するワード電位として第 1 のワード電位  $V_{w1}$  を選択する制御信号“L”が出力されているので、AND ゲート 23 は、パワーユニット 20 から供給されるワード電位を、通常のデータ読み出し動作時のワード電位と同じ電位  $V_{w1}$ （第 1 のワード電位）となるように制御する。

#### 【0057】

また、選択信号生成回路（CTL）30 は、期待値データが  $LV_N$  となっているメモリセルと接続されている選択回路（MUX）18 から出力されるベリファイ判定結果は強制的に“FAIL”とし、期待値データが  $LV_N$  以外のメモリセルと接続されている選択回路（MUX）18 から出力されるベリファイ判定結果は比較回路 17 の比較結果を採用するように選択回路（MUX）18 を制御する。

#### 【0058】

メモリセル 15 から読み出された電流がリファレンス電流  $I_{R2}$  以上の場合には、センスアンプ 142  $\sim$  14 $N-1$  およびセンスアンプ 14 $N$  の出力は全て“H”となり、MLC デコーダ 16 から読み出しデータ“11…1”（ $LV_1$ ）が出力される。従って、データレジスタ 12 から期待値データ  $LV_2 \sim LV_N$  の何れかが出力されているメモリセルに対応する比較回路 17 におけるベリファイ判定結果は“FAIL”となる。その結果、当該メモリセル 15 に対する書き込みサイクルが再度実行される。

## 【0059】

本実施形態においては、データレジスタ12から期待値データ $LV_N$ が出力されているメモリセル15に対するベリファイ判定は、後述する理由により、期待値データ $LV_{N-1}$ が出力されているメモリセル15の書き込みが完了するまで比較回路17におけるベリファイ判定結果に関係なく強制的に“F A I L”とする。

## 【0060】

この書き込みサイクルを繰り返すことによりメモリセル15のしきい値が高くなって、メモリセル15から読み出された電流がリファレンス電流 $I_{R2}$ 以下となった時点で、センスアンプ142の出力が“L”となり、MLCデコーダ16からは読み出しデータ $LV_2$ が出力され、データレジスタ12に保持されている期待値データが $LV_2$ のメモリセル15の比較回路17からのベリファイ判定結果は“P A S S”となる。この“P A S S”情報はデータレジスタ12にも通知される。データレジスタ12はこの“P A S S”情報を入力すると、それまで保持していた期待値データ $LV_2$ を $LV_1$ に変更する。

## 【0061】

従って、期待値データが $LV_2$ のメモリセル15の書き込み回路13にはそれ以降期待値データ $LV_1$ が入力されるので書き込み動作を行わない。一方、データレジスタ12から期待値データとして、 $LV_3 \sim LV_{N-1}$ が出力されているメモリセルの書き込み回路では、比較回路17におけるベリファイ判定結果は“F A I L”となり、また、期待値データが $LV_N$ のベリファイ判定結果は強制的に“F A I L”となるので、これらのメモリセル15に対する書き込みサイクルは再度実行される。

## 【0062】

この期待値データ $LV_1$ は当該メモリセルと接続されている選択信号生成回路(CTL)30へも出力されるので、期待値データ $LV_2$ を記憶するメモリセル15と接続されている選択信号生成回路(CTL)30からは、ベリファイ時のメモリセルに対するワード電位として第2のワード電位 $V_{w2}$ を選択する制御信号“H”が出力されるが、期待値データとして $LV_3 \sim LV_{N-1}$ が出力されて

いるメモリセルと接続されている選択信号生成回路 (CTL) 30からは、ベリファイ時のメモリセルに対するワード電位として第1のワード電位  $V_{w1}$  を選択する制御信号“L”が出力されているので、ANDゲート23は、パワーユニット20から供給されるワード電位を、通常データ読み出し動作時のワード電位と同じ電位  $V_{w1}$  (第1のワード電位) となるように制御する。以下、同様の書き込みサイクルを繰り返すことにより、期待値データ  $L V_N - 1$  までのメモリセルに対するデータ書き込みが順次完了する。

#### 【0063】

一方、期待値としてそのしきい値が最も高いN番目のデータが書き込まれるメモリセルに対するセンスアンプ14<sub>N</sub>に入力されるリファレンス電流  $I_{RN}$  の値は、従来のベリファイ用リファレンス電流  $I_{RN}$  の値よりも大きな値 (例えば、通常データ読み出し用リファレンス電流と等しい値) に設定されているため、メモリセルのバラツキ等により期待値データ  $L V_N - 1$  のメモリセルに対するデータ書き込み動作中に、期待値データ  $L V_N$  のメモリセル15から読み出された電流がこのリファレンス電流値  $I_{RN}$  以下となる虞がある。

#### 【0064】

従って、期待値データ  $L V_N$  のメモリセル15に対しても期待値データ  $L V_N - 1$  以下のメモリセルと同様のベリファイ判定を行った場合、このリファレンス電流値  $I_{RN}$  以下となった期待値データ  $L V_N$  のメモリセル15と接続されているセンスアンプ14<sub>N</sub>の出力が“L”となり、比較回路17からのベリファイ判定結果が“PASS”となって、当該メモリセルのデータレジスタ12に保持されている期待値データが  $L V_1$  に書き換えられ、それ以上の書き込み動作が停止してしまう危険性がある。

#### 【0065】

そこで、本実施形態では、データレジスタ12から期待値データ  $L V_N$  が出力されているメモリセル15に対しては、期待値データ  $L V_N - 1$  までのメモリセルに対するデータ書き込みを実行中には、当該メモリセルと接続されている選択信号生成回路 (CTL) 30は、比較回路17におけるベリファイ判定結果に関係なく選択回路 (MUX) 18から強制的に“FAIL”が出力されるように選



択回路 (MUX) 18 を制御する。

【0066】

このようにして、期待値データ  $LV_N - 1$  までのメモリセルに対するデータ書き込みが完了すると、書き込みデータが  $LV_1$  から  $LV_N - 1$  までのセルと接続されているデータレジスタ 12 に保持されていた期待値データは全て  $LV_1$  に書き換えられ、また、書き込み期待値データが  $LV_N$  のメモリセルからの読み出しデータは  $LV_N - 1$  となるので、すべての選択信号生成回路 (CTL) 30 から、ベリファイ時のメモリセルに対するワード電位として第2のワード電位  $V_{w2}$  を選択する制御信号 “H” が出力され、ANDゲート 23 からは、ワード電位を  $V_{w1}$  から  $V_{w2}$  に切り替える信号が出力される。

【0067】

従って、期待値データが  $LV_N$  のメモリセルのみへの書き込みサイクルに移行した時点で、検証のためのメモリセル 15 の読み出し動作 (ベリファイ読み出し動作) 時にパワーユニット 20 から供給されるワード電位は、通常のデータ読み出し動作時のワード電位 (第1のワード電位  $V_{w1}$ ) よりも高いワード電位 (第2のワード電位  $V_{w2}$ ) に切り替えられる。

【0068】

そして、期待値データが  $LV_N$  のメモリセル 15 に対してのみ、読み出された電流がこのリファレンス電流  $I_{RN}$  (4 値の場合  $I_{R4}$ ) 以下となるまで書き込みサイクルを実行し、読み出された電流がリファレンス電流  $I_{RN}$  (4 値の場合  $I_{R4}$ ) 以下となった時点で期待値データが  $LV_N$  のメモリセル 15 に対する書き込みを完了するとともに、この不揮発性半導体メモリ装置に対する多値データの書き込みを終了する。

【0069】

なお、本実施形態では、ベリファイ判定時にセンスアンプ 14<sub>N</sub> に入力されるリファレンス電流  $I_{RN}$  (4 値の場合  $I_{R4}$ ) の値を、多値データの記憶が完了して不揮発性半導体メモリとして用いられるときに、データ読み出し用として供給されるリファレンス電流と等しい値に設定することにより、リファレンス電流  $I_{RN}$  を両方の読み出しに共用することにより電流設定回路の簡素化を図ってい

るが、必ずしも共用する必要はなく、ベリファイ判定時にセンスアンプ 14N の感度が所望の値以上となるように任意に選定することができる。

#### 【0070】

また、本実施形態では、データレジスタ 12 から期待値データ  $LV_N$  が出力されているメモリセル 15 に対するベリファイ判定は、期待値データ  $LV_{N-1}$  が出力されているメモリセル 15 の書き込みが完了するまで比較回路 17 におけるベリファイ判定結果に関係なく強制的に“F A I L”としているが、メモリセルのバラツキ等が小さく、期待値データ  $LV_{N-1}$  のメモリセルに対するデータ書き込み動作中に、期待値データ  $LV_N$  のメモリセル 15 から読み出された電流がこのリファレンス電流値  $IR_N$  以下となる虞がない場合には、期待値データ  $LV_N$  が出力されているメモリセル 15 に対するベリファイ判定を強制的に“F A I L”とする手段を省略することができる。

#### 【0071】

本実施形態によれば、期待値データが  $LV_N$  のメモリセル 15 のしきい値を、通常のデータ読み出し動作時のワード電位（第 1 のワード電位  $V_{w1}$ ）よりも高くすることが可能であり、その結果、センスアンプ 14N の通常のデータ読み出し動作時におけるリファレンス電流  $IR_N$  をより低く設定することができる。そのため、読み出し動作時のマージンを大きく確保でき、読み出しの高速化を図ることができる。

#### 【0072】

ベリファイ読み出し動作時のワード電位を  $V_{w1}$  からより高い  $V_{w2}$  に切り替えたことによって、期待値データ  $LV_1$  あるいは  $LV_2$  のメモリセルから読み出された電流が期待値データ  $LV_1$  のメモリセルのリファレンス電流値  $IR_1$  以上となってセンスアンプ 142 の出力が“H”となり、期待値データが  $LV_1$  あるいは  $LV_2$  のメモリセル 15 の比較回路 17 からのベリファイ判定結果が“F A I L”となる虞があるが、これらのメモリセルに接続されているデータレジスタの期待値データは既に  $LV_1$  に書き替えられているので、書き込みが行われることはない。

#### 【0073】

なお、この期待値データが  $LV_1$  あるいは  $LV_2$  のメモリセル 15 の比較回路 17 からのベリファイ判定結果が “F A I L” となるのを防止するために、データレジスタ 12 から比較回路 17 に入力される期待値データが  $LV_1$  であるメモリセルの比較結果を強制的に “P A S S” としてもよい。

#### 【0074】

あるいは、期待値データが  $LV_N$  のメモリセル 15 のベリファイ判定に移行した後は、選択信号生成回路 (CTL) 30 により、期待値データが  $LV_{N-1}$  以下のメモリセル 15 と接続されている選択回路 (MUX) 18 から出力されるベリファイ判定結果は強制的に “P A S S” とし、期待値データが  $LV_N$  のメモリセルと接続されている選択回路 (MUX) 18 から出力されるベリファイ判定結果のみ、比較回路 17 の比較結果を採用するように選択回路 (MUX) 18 を制御してもよい。

#### 【0075】

##### 【発明の効果】

本発明によれば、多値のしきい値の高いレベルに対するベリファイ動作時のリファレンス電流値を大きく設定でき、ベリファイ動作時の不定センスを回避することができるとともに、読み出し動作時のマージンを大きく確保した書き込み動作が可能となる。

#### 【0076】

また、N 値の書き込みレベル判定を一括で実行する読み出し方式において、本発明の機能を用いることにより、読み出し時のマージンを確保した書き込み動作を可能にしつつ、読み出し動作を高速化できる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の多値 (N 値) 不揮発性半導体メモリに対する書き込み回路構成の実施形態を示すブロック図である。

##### 【図 2】

本実施形態における比較回路 (CMP) 及び選択信号生成回路 (CLT) の動作状態を示す表である。

**【図 3】**

本実施形態の自動書き込みシーケンスを示すフローチャートである。

**【図 4】**

本実施形態のデータ書き込み制御回路により、何れかの値が書き込まれた不揮発性半導体メモリセルの  $I_D - V_G$  特性の分布状態を示す図である。

**【図 5】**

本実施形態における多値のしきい値分布と書き込み判定レベルを示す図である。

**【図 6】**

書き換え可能な不揮発性半導体メモリセルに対して、書き込み動作を行っているときの当該セルの  $I_D - V_G$  特性の変化状態を示す概略図である。

**【図 7】**

多値の不揮発性半導体メモリに対する従来の書き込み回路構成を示すブロック図である。

**【図 8】**

図 7 に示す書き込み回路構成を、4 値（2 ビット）のデータを記憶可能なメモリセル 1 5 を有する不揮発性半導体メモリに適用した従来の書き込み回路構成を示すブロック図である。

**【図 9】**

図 8 に示すデータ書き込み制御回路により、何れかの値が書き込まれた不揮発性半導体メモリセルの  $I_D - V_G$  特性の分布状態を示す図である。

**【符号の説明】**

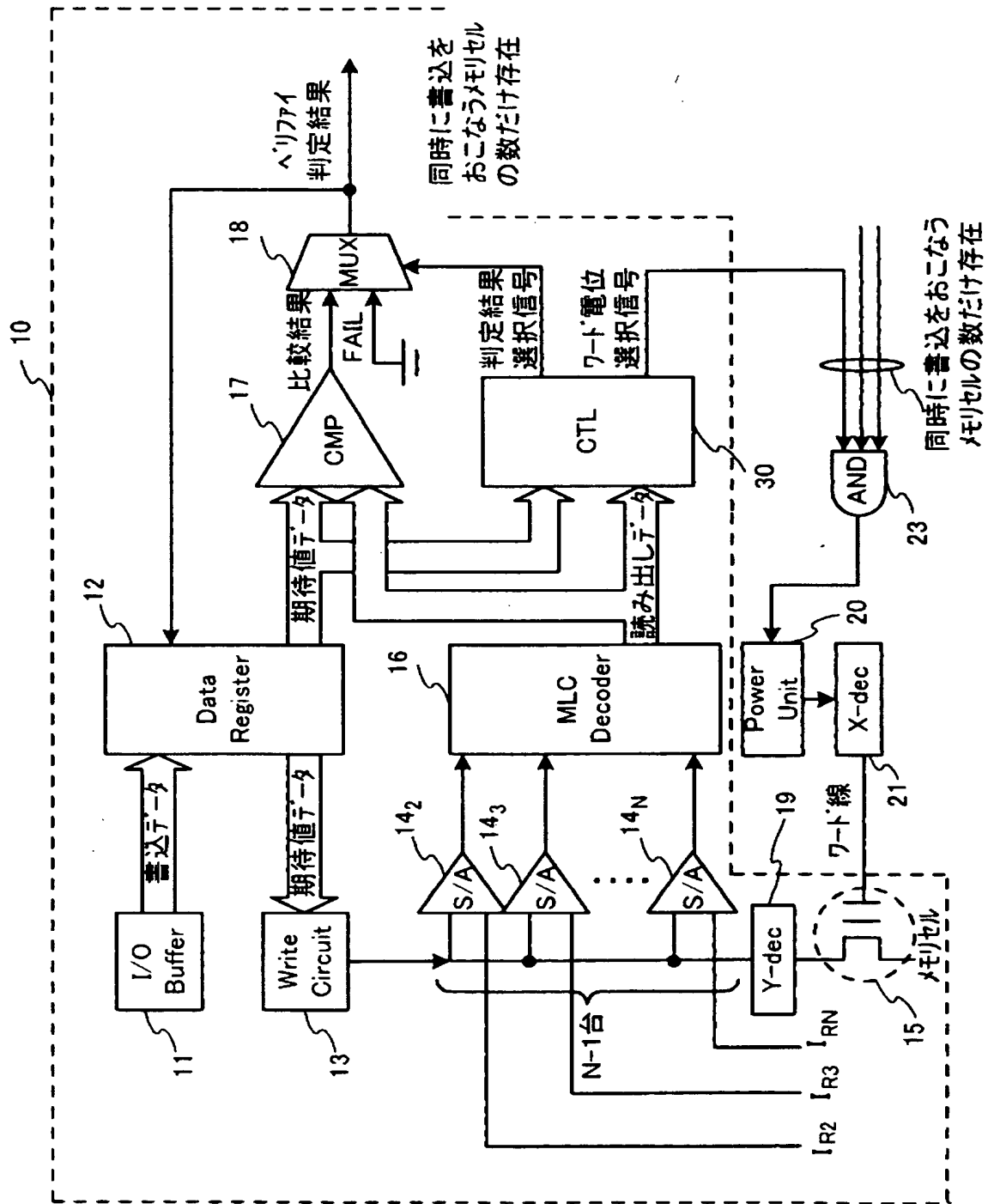
- 1 0, 1 0 0 データ書き込み制御回路
- 1 1 I/Oバッファ
- 1 2 データレジスタ
- 1 3 書き込み回路
- 1 4 センスアンプ
- 1 5 不揮発性半導体メモリセル
- 1 6 MLCデコーダ

- 1 7 比較回路
- 1 8 選択回路 (M U X)
- 1 9 Y - デコーダ
- 2 0 パワーユニット
- 2 1 X - デコーダ
- 2 2 A N D 回路
- 3 0 選択信号生成回路 (C T L)
- 4 0 リファレンス電流生成部
- 5 0 アドレスバッファ

【書類名】

図面

【図 1】



【図 2】

CMPの動作

	比較結果	
期待値データの書込レベルが 読み出しデータの書込レベル より高い場合	FAIL	"L"
期待値データの書込レベルが 読み出しデータの書込レベル 以下の場合	PASS	"H"

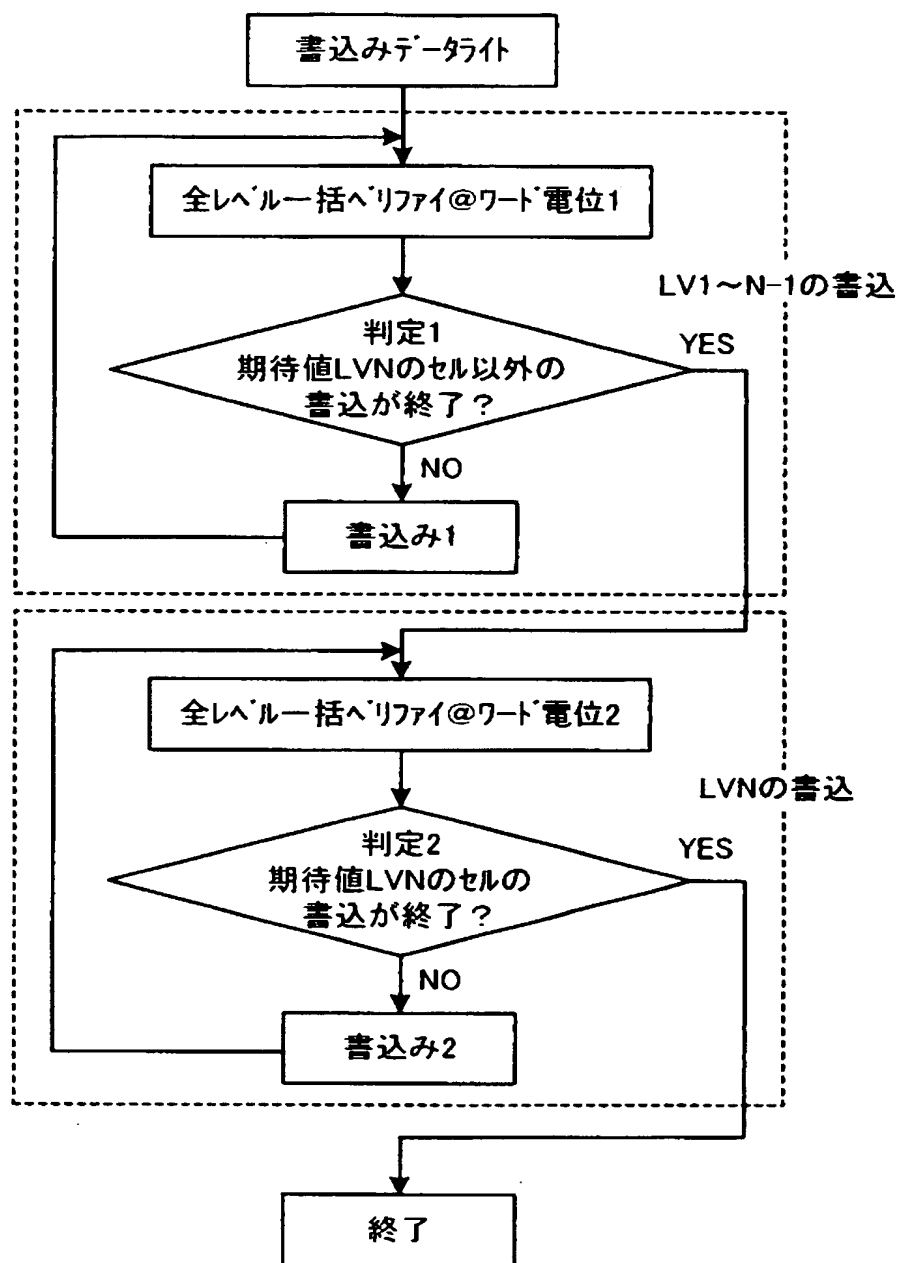
CTLのワード電位選択動作

	ワード電位 選択信号	
期待値データがLVNの場合にそのメモリの 読み出しデータがLVN-1に達するまでの間、 または、 期待値データがLV2以上LVN-1以下の場合	Vw1を示す値	"L"
期待値データがLVNの場合にそのメモリの 読み出しデータがLVN-1に達した後、または、 期待値データがLV1の場合	Vw2を示す値	"H"

CTLのペリファイ判定選択動作

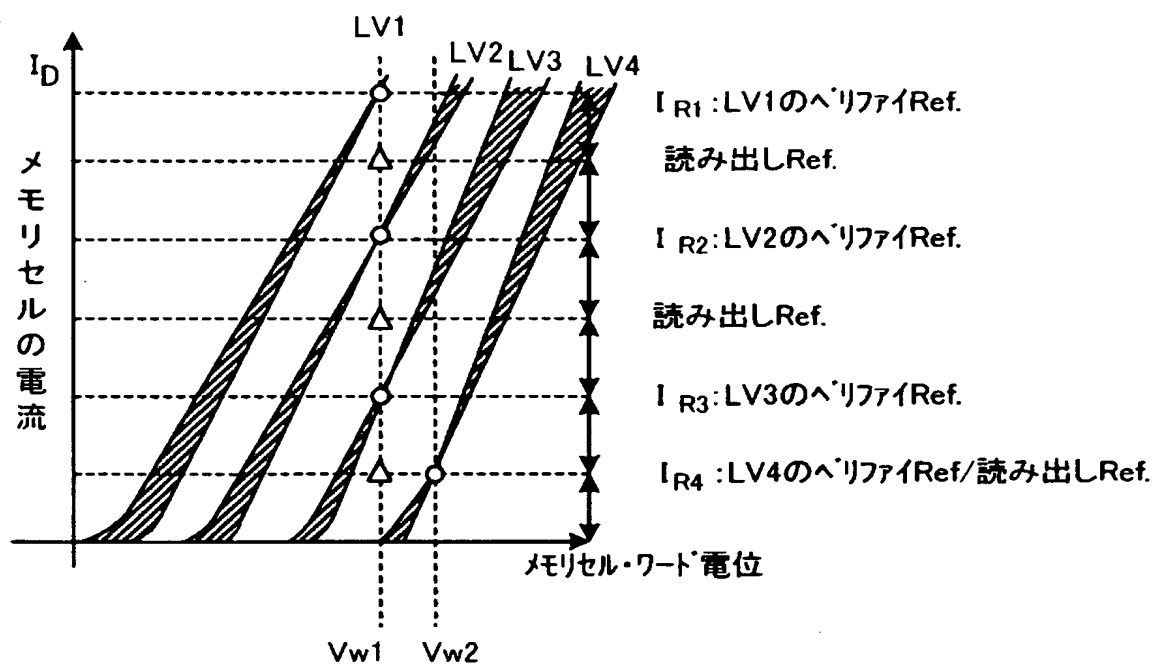
	MUX選択信号
ワード電位Vw1. かつ期待値LVN-1以下のセル	CMPの比較結果
ワード電位Vw1. かつ期待値LVNのセル	FAIL
ワード電位Vw2のときの全てのセル	CMPの比較結果

【図 3】

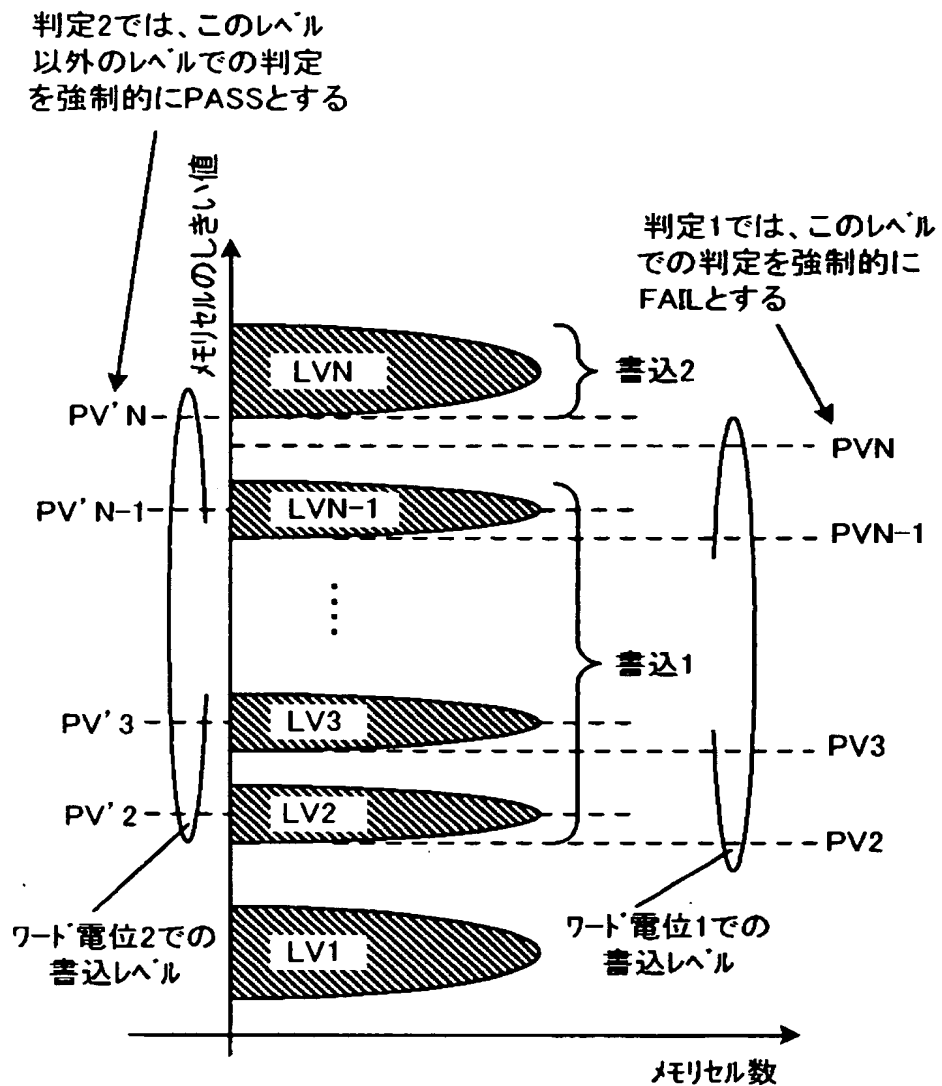




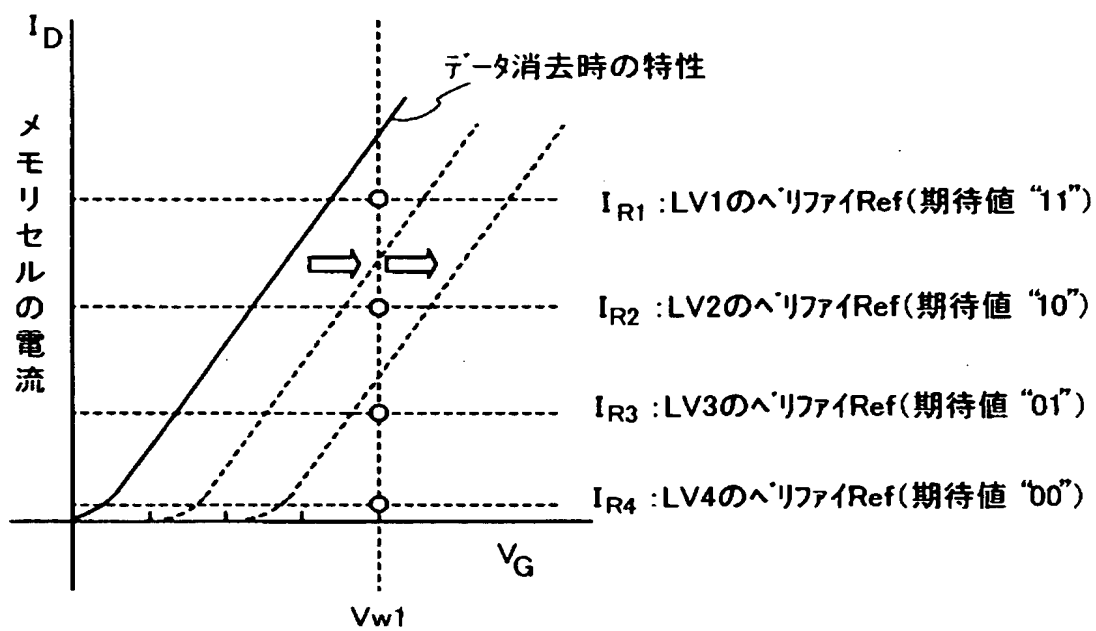
【図 4】



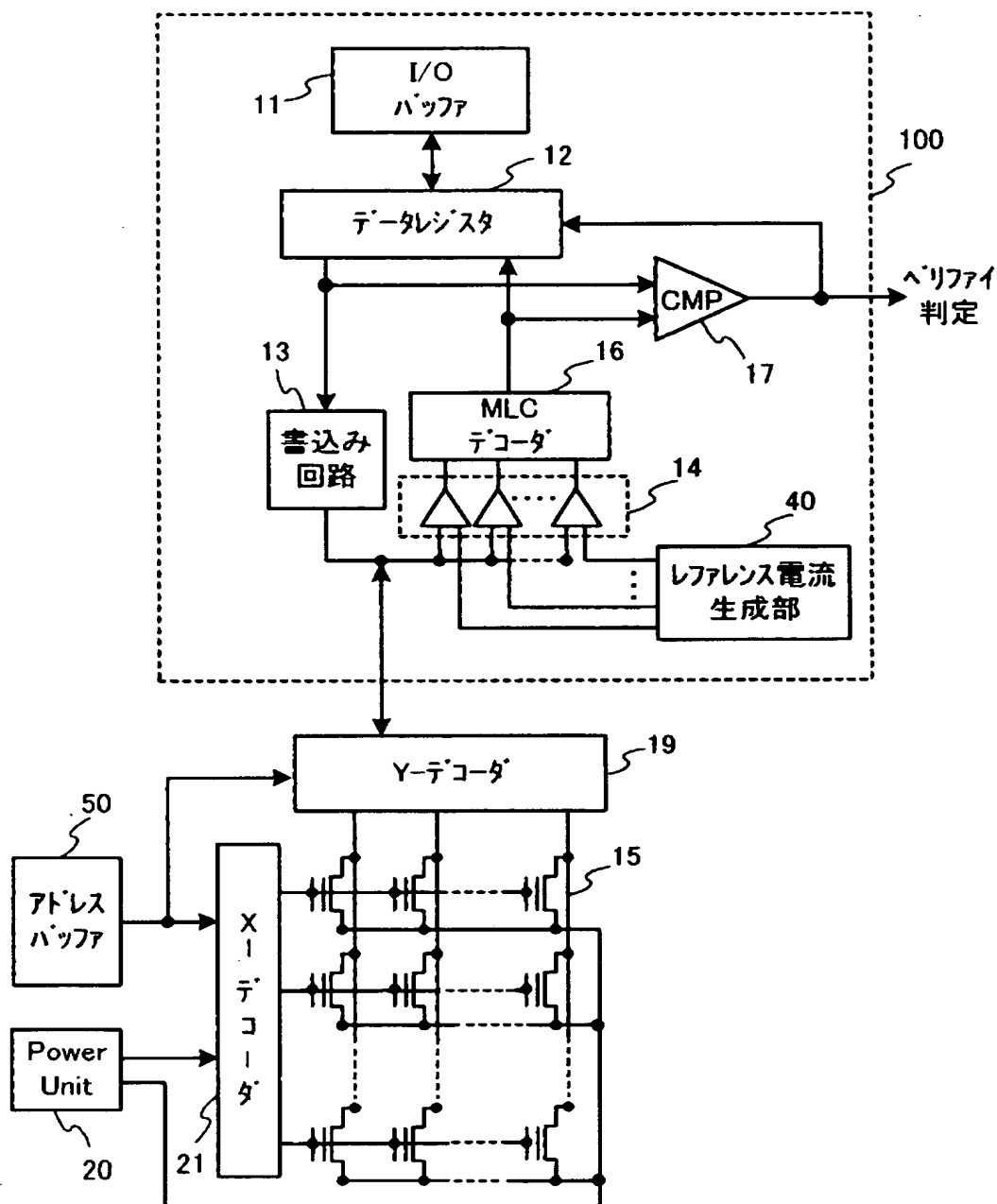
【図 5】



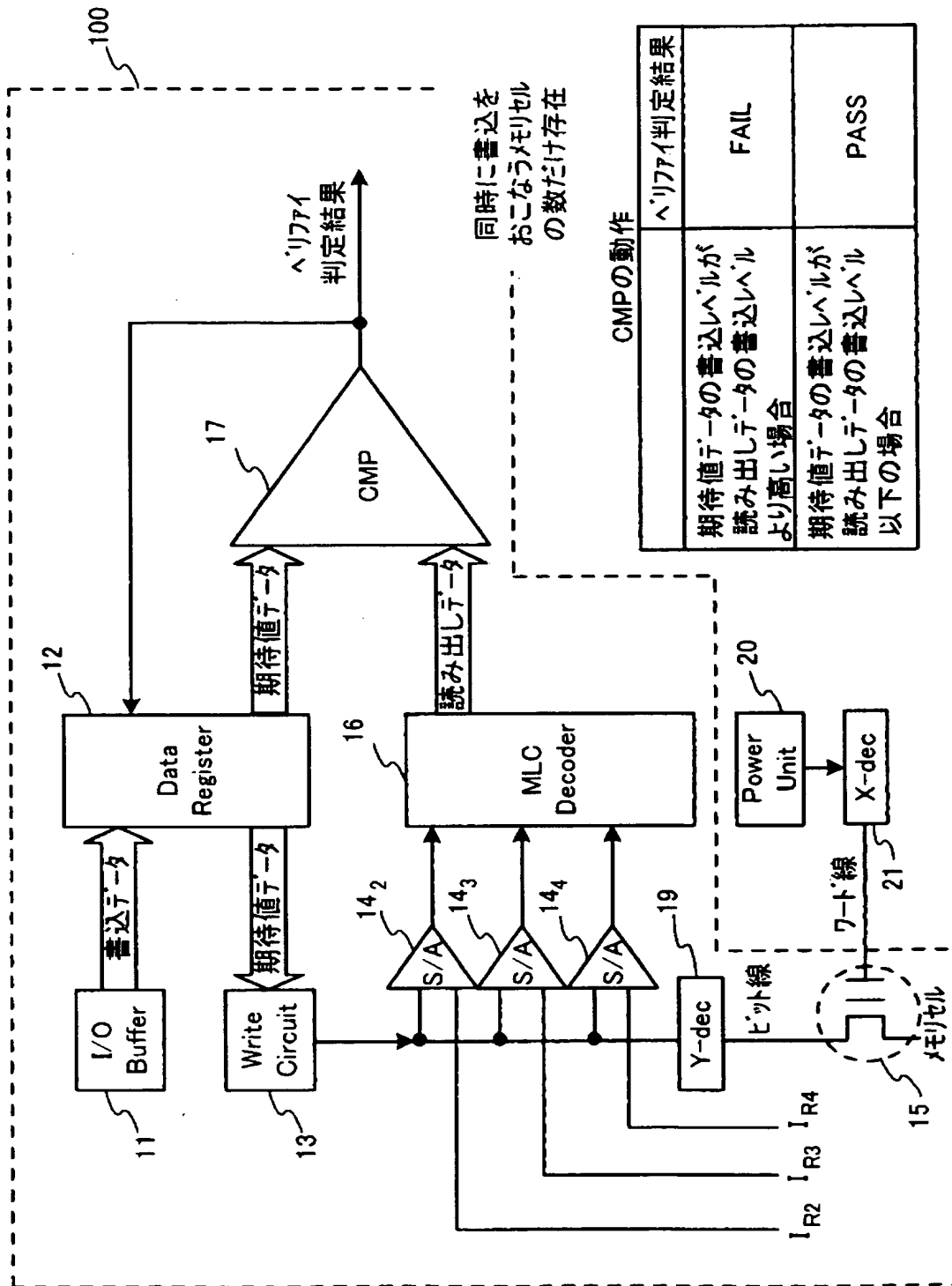
【図 6】



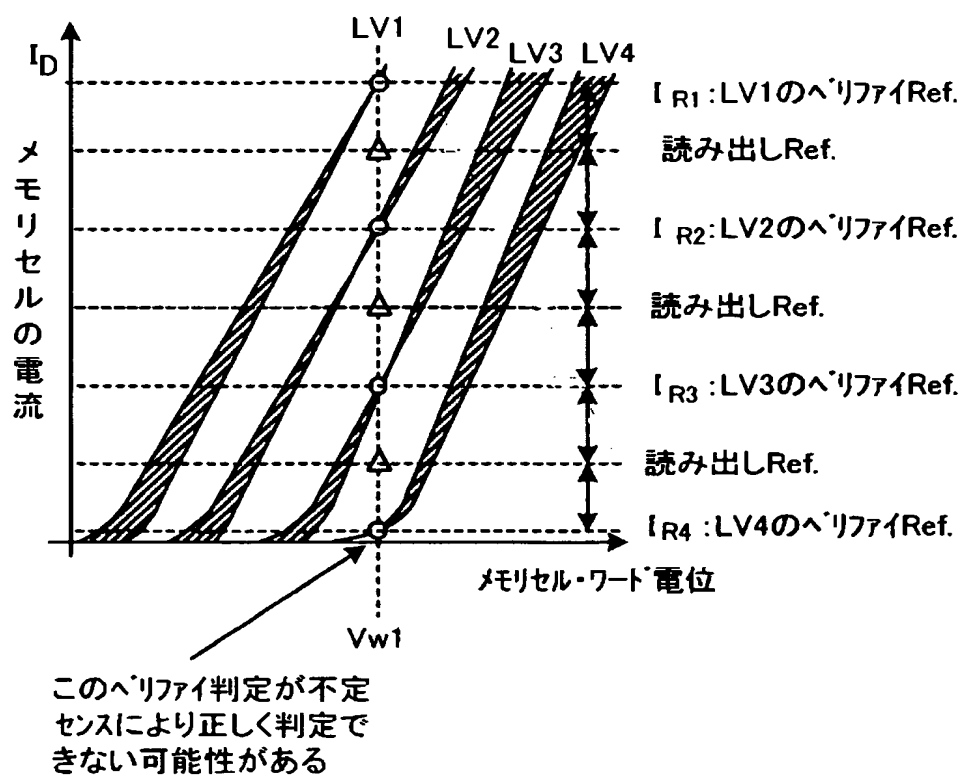
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 データ読み出し時のマージンを最大に確保すると共に、データ書き込みの際のベリファイ動作時に不定センスが発生しないようにする。

【解決手段】 ベリファイ判定を繰り返すことによりN値の多値データを不揮発性半導体メモリに書き込む際、期待値としてそのしきい値が最も高いN番目のレベルが書き込まれるメモリセルに対しては、N-1番目以下のレベルが書き込まれるメモリセルの書き込みが完了するまでベリファイ判定を無効化し、N-1番目の書き込みレベルに達した後に前記N番目のレベルが書き込まれるメモリセルに対するベリファイ判定を有効化する。N番目のレベルに対応するセンスアンプに供給されるリファレンス電流値は当該センスアンプが不定センスとならない値以上に設定され、N番目のデータのベリファイ判定を行う際には、ベリファイ読み出しのために供給されるワード線電位を $V_{w1}$ から $V_{w2}$ に上げる。

【選択図】 図4



特願 2 0 0 3 - 0 3 1 4 8 3

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社